

523,209

(2)特許協力条約に基づいて公開された国際出願

27 JAN 2005

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2004 年 2 月 12 日 (12.02.2004)

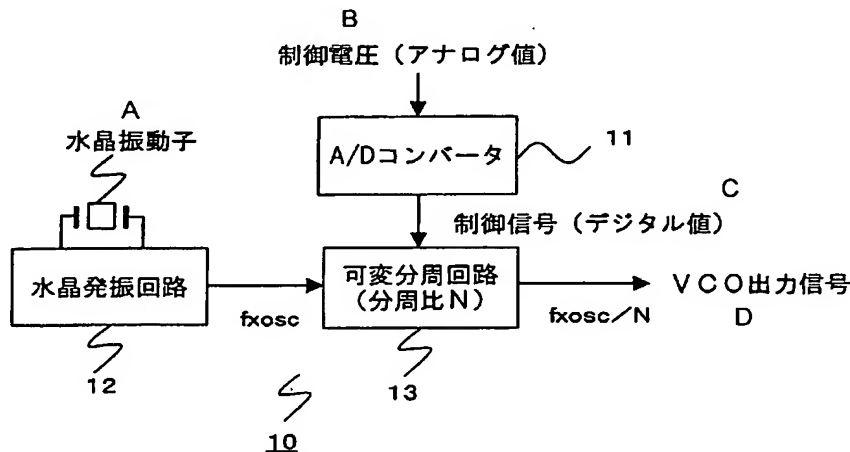
PCT

(10) 国際公開番号
WO 2004/013968 A1

- (51) 国際特許分類: H03L 7/06 (72) 発明者; および
(21) 国際出願番号: PCT/JP2003/009454 (75) 発明者/出願人 (米国についてのみ): 青山 孝志 (AOYAMA, Takashi) [JP/JP]; 〒448-8671 愛知県刈谷市豊田町 2 丁目 1 番地 株式会社豊田自動織機内 Aichi (JP). 宮城 弘 (MIYAGI, Hiroshi) [JP/JP]; 〒943-0834 新潟県上越市西城町 2 丁目 5 番 13 号 新潟精密株式会社内 Niigata (JP).
(22) 国際出願日: 2003 年 7 月 25 日 (25.07.2003)
(25) 国際出願の言語: 日本語
(26) 国際公開の言語: 日本語 (74) 代理人: 大昔 義之 (OSUGA, Yoshiyuki); 〒102-0084 東京都千代田区二番町 8 番地 2 〇 二番町ビル 3F Tokyo (JP).
(30) 優先権データ: 特願2002-226139 2002 年 8 月 2 日 (02.08.2002) JP (81) 指定国 (国内): CN, US.
(71) 出願人 (米国を除く全ての指定国について): 株式会社豊田自動織機 (KABUSHIKI KAISHA TOYOTA JIDOSHOKKI) [JP/JP]; 〒448-8671 愛知県刈谷市豊田町 2 丁目 1 番地 Aichi (JP). 新潟精密株式会社 (NIIGATA SEIMITSU CO., LTD.) [JP/JP]; 〒943-0834 新潟県上越市西城町 2 丁目 5 番 13 号 Niigata (JP).
添付公開書類:
— 国際調査報告書
2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: DIGITAL VCO AND PLL CIRCUIT USING THE DIGITAL VCO

(54) 発明の名称: デジタル VCO 及びそのデジタル VCO を用いた PLL 回路



- A...QUARTZ OSCILLATOR
B...CONTROL VOLTAGE (ANALOG VALUE)
12...QUARTZ OSCILLATION CIRCUIT
11...A/D CONVERTER
C...CONTROL SIGNAL (DIGITAL VALUE)
13...VARIABLE DIVIDER CIRCUIT (DIVISION RATIO N)
D...VCO OUTPUT SIGNAL

(57) Abstract: A digital VCO includes an A/D converter (11) for converting a given analog signal to a digital signal, a quartz oscillation circuit (12) having a quartz oscillator for generating a signal having a predetermined frequency, and a variable divider circuit (13) for varying the division ratio according to the digital signal and divides the frequency of the signal generated by the quartz oscillation circuit (12) according to the division ratio.

[続葉有]

WO 2004/013968 A1



(57) 要約: 与えられたアナログ信号をデジタル信号に変換するA/Dコンバータ11と、水晶振動子を備え、ある所定の周波数をもつ信号を生成する水晶発振回路12と、上記デジタル信号に基づいて分周比を可変させ、その分周比に基づいて水晶発振回路12で生成された信号の周波数を分周する可変分周回路13とを備えてデジタルVCOを構成する。

明 細 書

デジタルVCO及びそのデジタルVCOを用いたPLL回路

5 技術分野

本発明は、デジタルVCO (Voltage Controlled Oscillator) とそのデジタルVCOを用いたPLL (Phase Locked Loop) 回路に関する。

10 背景技術

図1Aは、従来のVCOの一例を示す図である。

図1Aに示すように、従来におけるVCO40は、例えば、2つの定電流源41と、2つのスイッチ42と、コンデンサ43と、コンパレータ44と、可変基準電圧回路45とから構成される。

- 15 VCO40において、定電流源41の電流量は、制御電圧 V_{in} に基づいて可変され、スイッチ42のON/OFFの動作は、コンパレータ44の出力信号に基づいて制御されている。このように、制御電圧 V_{in} 及びコンパレータ44の出力発振信号（以下、発振信号という）に基づいて、定電流源41の電流量及びスイッチ42の動作を制御することによりコンデンサ43で充放電さ
- 20 れる電流量を可変させ、コンパレータ44のON/OFFの動作を制御し、コンパレータ44から出力される発振信号の周波数を可変させている。なお、可変基準電圧回路45から出力される基準電圧は、コンパレータ44から出力される発振信号のHighレベル又はLowレベルに基づいて可変され、コンパレータ44の一端子に入力される。

- 25 また、図1Bに示すVCO46も従来のVCOの一例を示す図である。

図1Bに示すVCO46は、リングオシレータと呼ばれるもので、インバータ47から出力される発振信号をインバータ47の入力部に戻すことにより、所定の周波数をもつ発振信号を生成している。発振信号の周波数は、連結されるインバータ47の個数やインバータ47に入力されるバイアス電流に応じて

5 所定の周波数に可変することができ、例えば、定電流源48により入力されるバイアス電流量を増やすことによって、インバータ47の信号切替動作時間を短くし、発振信号の周波数を高くすることができる。

このように、従来のVCO40又は46は、入力される制御電圧 V_{in} （アナログ値）に基づいて、発振信号の周波数を可変させていた。

10 しかしながら、従来のVCO40又は46の出力する発振信号の周波数は、VCO40又は46を構成するトランジスタ（不図示）、コンデンサ43、又は、抵抗（不図示）などの素子の特性に大きく依存しており、それぞれの素子の特性がばらつくと、VCO40又は46のフリーラン周波数が大きくばらついてしまうということがあった。

15 そして、上記VCO40又は46をPLL回路に適用する場合において、フリーラン周波数が大きくばらついてしまうと、そのフリーラン周波数がキャプチャレンジから外れてしまい入力信号の位相をロックすることができなくなり、PLL回路として機能しなくなるという問題があった。

そこで、従来では、このようなフリーラン周波数のばらつきを抑えるために、

20 上記VCO40に、ばらつき調整回路を設けていた。

図1Cは、例えば、図1AのVCO40に、ばらつき調整回路50を備えたVCO49の回路構成を示す図である。

図1Cに示すばらつき調整回路50は、コンパレータ44から出力される発振信号の周波数が所望の周波数になるように、ばらつき防止制御電圧 V_{inb}

25 を定電流源41に与え、VCO49を構成する素子の特性によるフリーラン周

波数のばらつきを抑えている。すなわち、従来のVCO49は、製品出荷前に、発振信号の周波数をモニタし、そのモニタされた周波数に基づいて発振信号の周波数を制御することによって、素子の特性のばらつきを補正している。

しかしながら、図1Cに示すように、ばらつき調整回路50を備え、フリーラン周波数がばらつかないように設定しても、例えば、製品出荷後、ばらつき補正時と周辺温度が異なる場所においては、素子の温度特性によるフリーラン周波数の変動が起きることがあった。すなわち、図1Aに示すVCO40にばらつき調整回路50を備えることによって、各素子の製造ばらつきによるフリーラン周波数のばらつきを抑えることはできても、各素子の温度特性のばらつきによるフリーラン周波数のばらつきを抑えることはできなかった。

また、上記ばらつき調整回路50では、電源電圧の変化によるフリーラン周波数の変動を補正することが難しかった。すなわち、例えば、製品出荷前に、ばらつき調整回路50によってフリーラン周波数を所望な周波数に補正しても、製品出荷後、ユーザの操作によって上記VCO49の電源電圧が変化した場合、所望なフリーラン周波数が得られないという問題があった。

このように、従来のVCO49では、素子の製造ばらつきによるフリーラン周波数のばらつきを抑えることはできても、温度特性の変動や電源電圧の変動によるフリーラン周波数のばらつきを抑えることができず、PLL回路に適用した場合は、そのフリーラン周波数がキャプチャレンジから外れ入力信号の位相がロックされないということがあった。

そこで、本発明では、使用される素子の製造ばらつきや温度特性の変動、及び電源電圧の変動に対しても、発振信号の周波数を所望な周波数に設定することができるデジタルVCOを提供することを目的とする。

また、使用される素子の製造ばらつきや温度特性の変動、及び電源電圧の変動に対しても、動作が良好なPLL回路を提供することを目的とする。

発明の開示

上記の課題を解決するために本発明では、以下のように構成する。

すなわち、本発明のデジタルVCOは、水晶振動子を用いて所定周波数の信号を生成する水晶発振回路と、与えられたアナログ信号をデジタル信号に変換する変換回路と、上記水晶発振回路で生成される信号の周波数を、上記デジタル信号に基づく分周比で分周する分周回路とを備える。

このように、素子の製造ばらつきや温度特性、及び電源電圧変化に依らない周波数変動の少ない水晶振動子を使用し、その水晶振動子に基づいて生成される信号から所望の周波数をもつ信号を生成することが可能なデジタルVCOを構成しているため、素子の製造ばらつきや温度特性、及び電源電圧変化による出力信号の周波数変動を少なくすることが可能となる。

また、上記デジタルVCOは、上記変換回路から出力されるデジタル信号を一定周期で取り込むサンプルホールド回路を備える構成としてもよい。

そして、上記サンプルホールド回路は、上記変換回路で用いられるサンプリング時間よりも周期が長く、ホールド時間内に上記変換回路から取り込んだデジタル信号を保持し出力する構成であることが望ましい。

これより、上記変換回路においてサンプリング時間が変化しても一定のサンプリング周期でデジタル信号を上記分周回路に出力することができるので、上記分周回路の誤動作を防止することが可能となる。

また、上記デジタルVCOは、上記変換回路で発生する上記デジタル信号のオフセット誤差を補正する補正回路を備える構成としてもよい。

上記オフセット誤差は、例えば、上記変換回路における製造上のばらつきによって生じる誤りのあるデジタルデータと製造上のばらつきに依らない正しいデジタルデータとの誤差を示すものであって、このように、出力されるデジ

ル信号の値が所望な値になっていない場合（誤差がある場合）に、デジタル信号の値が所望な値となるようにデジタル信号にオフセットをかけ、上記変換回路の製造ばらつきによって生じるオフセット誤差を補正することが可能となる。

また、上記デジタルVCOは、上記分周比の可変範囲を制限する制限回路を
5 備える構成としてもよい。

これより、デジタルVCO出力の発振周波数の可変範囲を制限することが可能となる。

また、本発明のPLL回路は、入力信号と基準信号との位相差を調整するPLL回路において、上記入力信号と基準信号との位相差を検出する検出回路と、
10 上記位相差を示す信号をデジタル信号に変換する変換手段と、水晶振動子を用いて所定周波数の信号を生成する水晶発振回路と、該水晶発振回路で生成される信号の周波数を、上記デジタル信号に基づく分周比で分周する分周回路とを備え、上記分周回路で周波数分周される信号に基づいて、上記入力信号と上記基準信号との位相差を調整する。

15 このように、周波数変動の少ない水晶振動子を使用し、その水晶振動子に基づいて生成される信号から所望の周波数をもつ信号を生成することが可能なデジタルVCOをPLL回路に適用するので、そのデジタルVCOのフリーラン周波数はばらつきが少なく、キャプチャレンジから外れて入力信号の位相がロックされない状態となることを防止することが可能となる。

20 また、上記PLL回路は、上記変換回路から出力されるデジタルデータを一定周期で取り込むサンプルホールド回路を備える構成としてもよい。

これより、上記変換回路においてサンプリング時間が変化しても一定のサンプリング周期でデジタル信号を上記分周回路に出力することができるので、上記分周回路の誤動作を防止することが可能となる。

図面の簡単な説明

本発明は、後述する詳細な説明を、下記の添付図面と共に参照すればより明らかになるであろう。

図 1 A は、従来の VCO を示す図である。

5 図 1 B は、従来の VCO を示す図である。

図 1 C は、従来の VCO にばらつき調整回路を備えた回路構成を示す図である。

図 2 は、本発明の実施形態のデジタル VCO の原理構成を示す図である。

10 図 3 は、本発明の実施形態のデジタル VCO が備えられる PLL 回路の構成を示す図である。

図 4 は、本発明の実施形態のデジタル VCO を詳細に説明するための図である。

発明を実施するための最良の形態

15 以下、本発明の実施の形態を図面を用いて説明する。

図 2 は、本発明の実施形態のデジタル VCO の原理構成を示す図である。

図 2 において、デジタル VCO 10 は、与えられたアナログ信号をデジタル信号に変換する A/D コンバータ 11（請求項に記載の変換回路）と、水晶振動子を備え、ある所定の周波数をもつ信号を生成する水晶発振回路 12（請求
20 項に記載の水晶発振回路）と、上記デジタル信号に基づいて分周比を可変させ、その分周比に基づいて水晶発振回路 12 で生成された信号の周波数を分周する可変分周回路 13（請求項に記載の分周回路）とを備えて構成される。例えば、水晶発振回路 12 において生成される発振信号の周波数が f_{xosc} である場合、可変分周回路 13 は、入力されるデジタル信号に基づいて、分周比を N
25 （1 以上の整数）に可変し、周波数が f_{xosc}/N である発振信号を出力す

る。

上記水晶発振回路 12 は、水晶振動子の性質上、製造ばらつきや温度特性、及び電源電圧変化による周波数の変動の少ない信号を生成することができる。

5 このように、周波数変動の少ない水晶振動子を使用し、その水晶振動子に基づいて生成される信号から所望の周波数をもつ発振信号を生成することが可能なデジタル VCO を構成することによって、製造ばらつきや温度特性、及び電源電圧変化によるフリーラン周波数のばらつきを少なくすることが可能となる。なお、上記可変分周回路 13 は、例えば、一般的に知られる入力信号の周波数をデジタル信号に基づいて分周するプログラマブルディバイダであって、その
10 詳細な回路構成の図や説明は省略する。また、同様に、A/D コンバータ 11 も一般的に知られている回路構成により実現可能であるので、その詳細な回路構成の図や説明は省略する。

次に、例えば、上記デジタル VCO 10 を備える PLL 回路の構成を説明する。

15 図 3 は、デジタル VCO 10 を備える PLL 回路の構成を示す図である。なお、図 3 に示す PLL 回路は、FM 受信機における PLL 回路であるが、デジタル VCO 10 は、FM 受信機に限らず、AM 受信機やオーディオ装置などにおける様々な位相ロック回路に適用可能である。

図 3 に示す PLL 回路 20 は、FM 受信機で受信されるコンポジット信号の
20 位相と基準信号の位相との位相差に基づく信号（位相差を示す電圧値であって、以下、アナログ信号という）を生成する位相検波回路 21（請求項に記載の検出回路）と、PLL 回路 20 の制御ループを安定させるために必要なループフィルタ 22 と、デジタル VCO 10 と、デジタル VCO 10 から出力される基準信号の周波数（例えば、76 kHz）を 2 分周する第 1 の分周回路 23 と、
25 更に第 1 の分周回路で分周された基準信号の周波数（例えば、38 kHz）を

2分周する第2の分周回路24とを備えて構成されている。

図3に示すPLL回路20は、コンポジット信号に含まれるパイロット信号（19kHz）に同期した基準発振信号（38kHz）を生成するための回路であり、この基準発振信号を2分周した信号（19kHz）とパイロット信号との位相差に基づいて、所望な周波数をもつ基準発振信号をデジタルVCO10において生成する。そして、このPLL回路20から出力された基準発振信号を、不図示のミキサなどでコンポジット信号と混合することなどで、所望の音声信号を得る。

このように、デジタルVCO10をPLL回路20に適用した場合、デジタルVCO10のフリーラン周波数はばらつきが少なく安定するので、キャプチャレンジから外れて入力信号の位相がロックされない状態となることを防止することが可能となる。

次に、上記デジタルVCO10を詳細に説明する。

図4は、上記デジタルVCO10を詳細に説明するための図である。

図4に示すように、デジタルVCO10は、A/Dコンバータ11と可変分周回路13との間に、オフセット調整回路30（請求項に記載の補正回路）と、LATCH回路31（請求項に記載のサンプルホールド回路）と、変動範囲調整回路32（請求項に記載の制限回路）とを設けている。また、第3の分周回路33は、水晶発振回路12から出力される発振信号の周波数をK（1以上の整数）分周し、そのK分周された信号をA/D変換動作のためのクロック信号としてA/Dコンバータ11に入力している。なお、オフセット調整回路30、LATCH回路31、及び変動範囲調整回路32は、一般的に知られている回路構成によって実現可能であるので、その詳細な回路構成の図や説明は省略する。

上記オフセット調整回路30は、外部において予め設定される調整信号に基

づいて、A/Dコンバータ 11 における製造ばらつきや温度特性によるデジタル信号のオフセット誤差を補正するための回路である。なお、上述のオフセット誤差を補正することとは、例えば、本来、A/Dコンバータ 11 から出力されるべき、デジタル信号のデータ値が「001011」というデータであるはずが、A/Dコンバータ 11 の製造ばらつきや温度特性により「001010」というデータが出力されるのを、マイクロコンピュータなどの外部制御回路から入力される調整信号や、一旦内部メモリに取り込まれたオフセット調整信号などによって「001011」に補正（オフセット）させることである。

10 このように、オフセット調整回路 30 をデジタル VCO 10 に備えることによって、A/Dコンバータ 11 の製造ばらつきや温度特性によるデジタル信号のオフセット誤差を補正することができ、デジタル VCO 10 の誤作動を防止することが可能となる。

15 また、上記 LATCH 回路 31 は、オフセット調整回路 30 から入力されたデータを一定周期でサンプリングし、一定周期でデータを出力するための回路である。

すなわち、A/Dコンバータ 11 のサンプリング時間よりも時間の長いサンプリング時間でデジタル信号のデータを出力するための回路である。

20 これにより、A/Dコンバータ 11 においてサンプリング時間が変化しても一定のサンプリング周期でデジタル信号を可変分周回路 13 に出力することができるので、可変分周回路 13 の誤動作を防止することができる。

また、上記変動範囲調整回路 32 は、可変分周回路 13 の分周比の変動範囲を制限するための回路である。

25 すなわち、変動範囲調整回路 32 は、入力されるデジタル信号のデータ値が予め決められている下限値以下である場合、その下限値に固定して出力し、また、入力されるデジタル信号のデータ値が予め決められている上限値以上であ

る場合、その上限値に固定して出力する。

このように、変動範囲調整回路 32 によりデジタル VCO 10 の発振周波数の変動範囲を制限することにより、大きな位相差を示すデジタル信号が可変分周回路 13 に入力されることを防ぎ、PLL 回路 20 の誤動作を防止することが可能となる。

なお、本実施形態のオフセット調整回路 30 は、上述したように、製品出荷前に外部からの調整信号に基づいて A/D コンバータ 11 から出力されるデジタル信号のオフセット誤差を補正する構成であるが、オフセット調整回路 30 の出力するデジタル信号と所定の基準信号とを比較してその比較結果に基づいてデジタル信号のオフセット誤差を調整するようにしてもよい。

本発明によれば、周波数変動の少ない水晶振動子を使用し、その水晶振動子に基づいて生成される信号から所望の周波数をもつ信号を生成することが可能なデジタル VCO を構成しているので、素子の製造ばらつきや温度特性、及び電源電圧変化による出力信号の周波数変動を少なくすることが可能となる。

また、本発明のデジタル VCO を PLL 回路に適用した場合、そのデジタル VCO のフリーラン周波数はばらつきが少ないので、キャプチャレンジから外れて入力信号の位相がロックされない状態となることを防止することが可能となる。

請 求 の 範 囲

1. 水晶振動子を用いて所定周波数の信号を生成する水晶発振回路と、
与えられたアナログ信号をデジタル信号に変換する変換回路と、
5 上記水晶発振回路で生成される信号の周波数を、上記デジタル信号に基づく
分周比で分周する分周回路と、
を備えることを特徴とするデジタルVCO。
2. 請求の範囲の第1項に記載のデジタルVCOであって、
10 上記変換回路から出力されるデジタル信号を一定周期で取り込むサンプルホ
ールド回路を備えることを特徴とするデジタルVCO。
3. 請求の範囲の第2項に記載のデジタルVCOであって、
上記サンプルホールド回路は、上記変換回路で用いられるサンプリング時間
15 よりも周期が長く、ホールド時間内に上記変換回路から取り込んだデジタル信
号を保持し出力することを特徴とするデジタルVCO。
4. 請求の範囲の第1項に記載のデジタルVCOであって、
上記変換回路で発生する上記デジタル信号のオフセット誤差を補正する補正
20 回路を備えることを特徴とするデジタルVCO。
5. 請求の範囲の第1項に記載のデジタルVCOであって、
上記分周比の可変範囲を制限する制限回路を備えることを特徴とするデジタ
ルVCO。

6. 入力信号と基準信号との位相差を調整するPLL回路において、
上記入力信号と基準信号との位相差を検出する検出回路と、
上記位相差を示す信号をデジタル信号に変換する変換手段と、
水晶振動子を用いて所定周波数の信号を生成する水晶発振回路と、
- 5 上記水晶発振回路で生成される信号の周波数を、上記デジタル信号に基づく
分周比で分周する分周回路と、
を備え、
上記分周回路で周波数分周される信号に基づいて、上記入力信号と上記基準
信号との位相差を調整することを特徴とするPLL回路。
- 10
7. 請求の範囲の第6項に記載のPLL回路であって、
上記変換回路から出力されるデジタルデータを一定周期で取り込むサンプル
ホールド回路を備えることを特徴とするPLL回路。

1/4

図 1 A

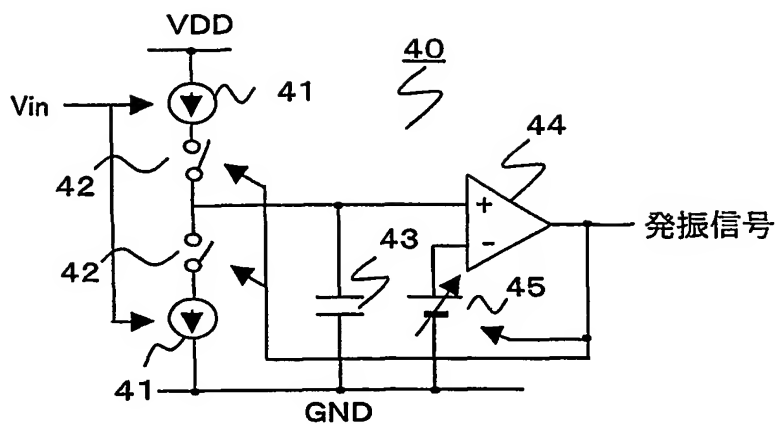


図 1 B

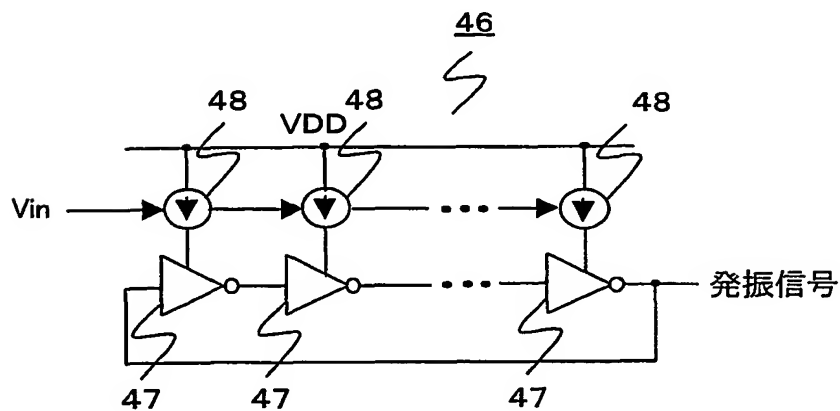
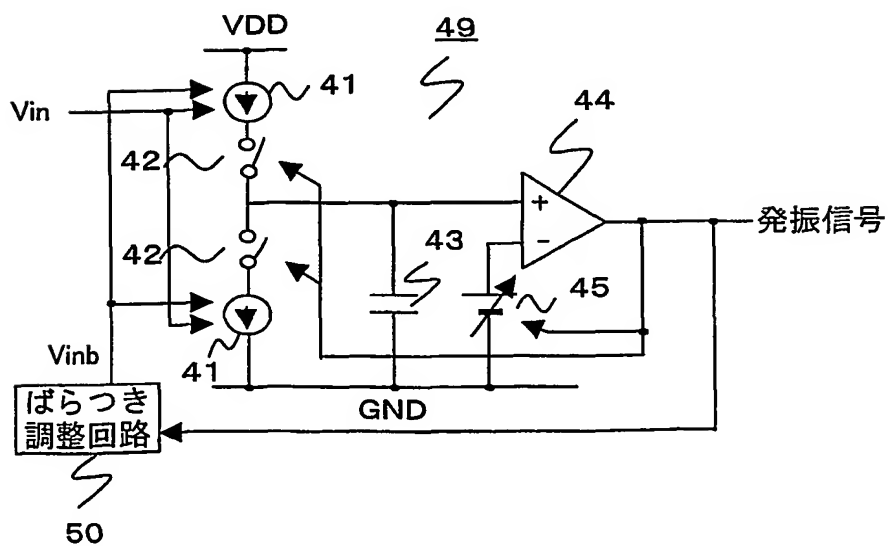


図 1 C



2/4

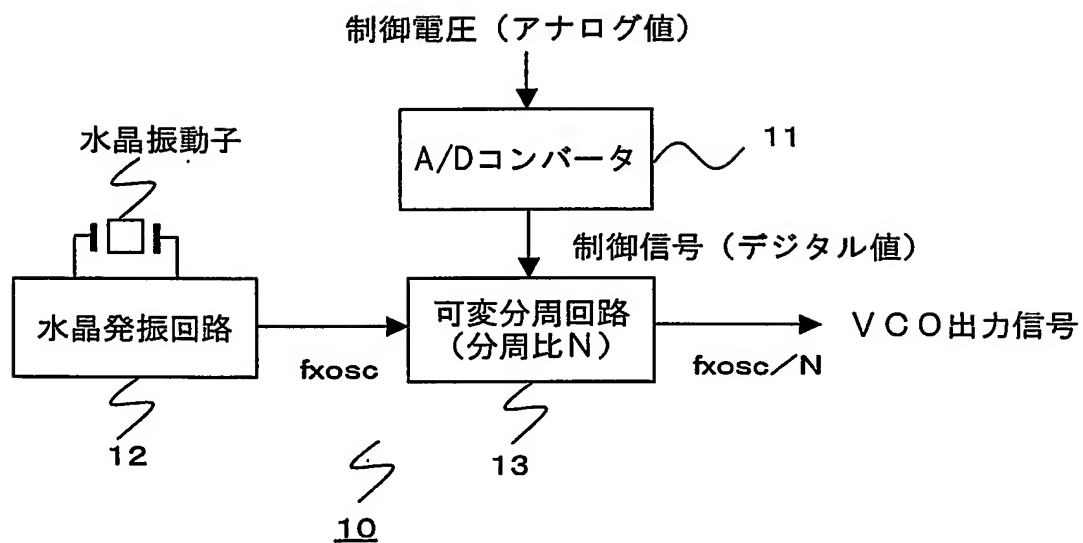


図 2

3/4

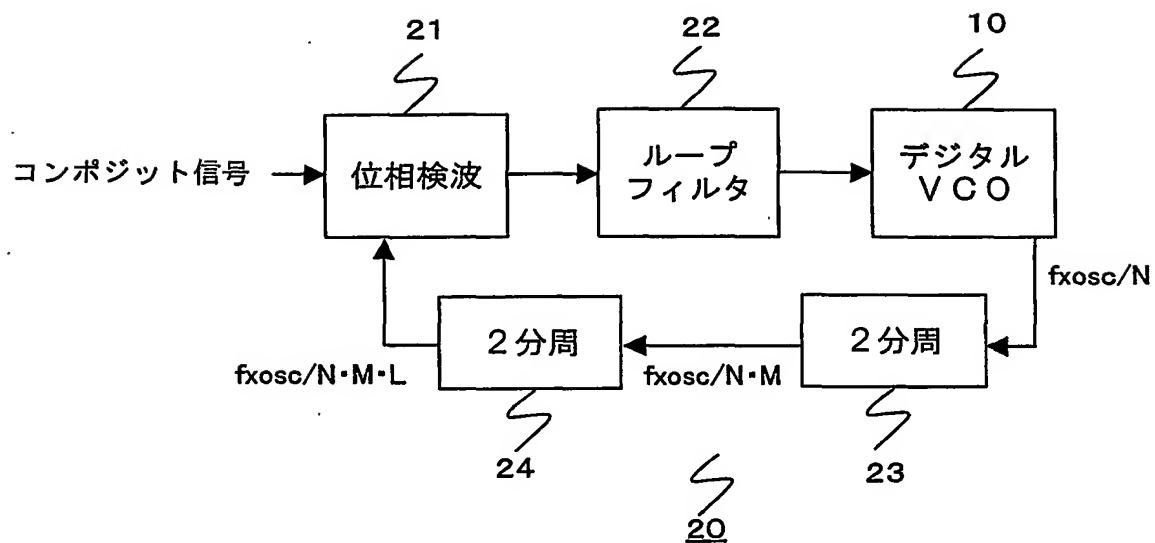


図 3

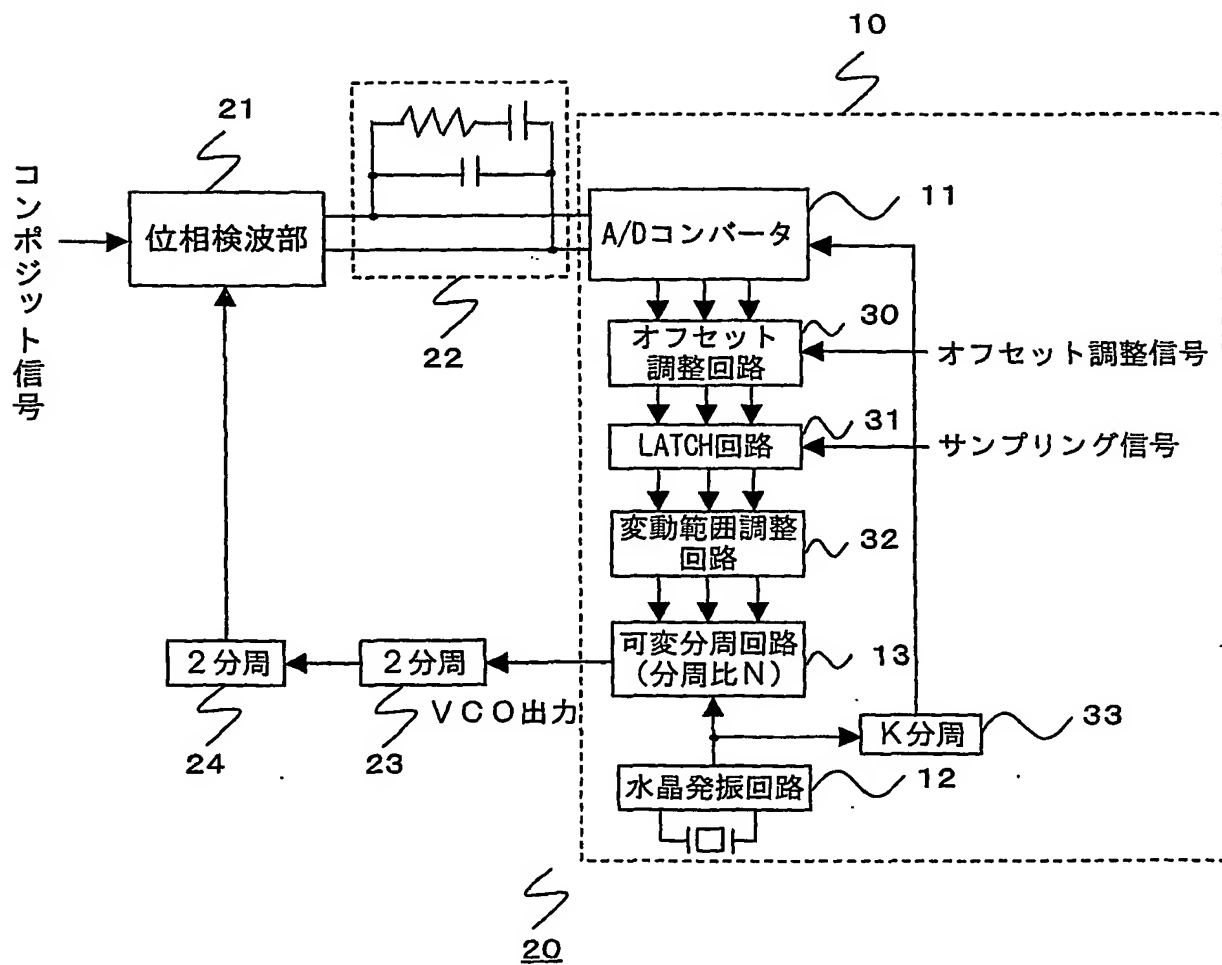


图 4

INTERNATIONAL SEARCH REPORT

 International application No.
 PCT/JP03/09454

 A. CLASSIFICATION OF SUBJECT MATTER
 Int.Cl⁷ H03L7/06

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

 Minimum documentation searched (classification system followed by classification symbols)
 Int.Cl⁷ H03L1/00-7/26, H03K3/00-3/22

 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Jitsuyo Shinan Toroku Koho	1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 06-181480 A (Pioneer Electronic Corp.), 28 June, 1994 (28.06.94), Page 3, left column, line 5 to right column, line 17; Fig. 9 & US 5444744 A1	6, 7 1-5

☐ Further documents are listed in the continuation of Box C.
 ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

 Date of the actual completion of the international search
 21. October, 2003 (21.10.03)

 Date of mailing of the international search report
 04 November, 2003 (04.11.03)

 Name and mailing address of the ISA/
 Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl. 7 H03L 7/06

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl. 7 H03L 1/00-7/26, H03K 3/00-3/22

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
日本国公開実用新案公報 1971-2003年
日本国登録実用新案公報 1994-2003年
日本国実用新案登録公報 1996-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X A	J P 06-181480 A (パイオニア株式会社) 1994. 06. 28, 第3頁左欄第5行-第3頁右欄第17行, 第9図 & US 5444744 A1	6, 7 1-5

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

21. 10. 03

国際調査報告の発送日

04.11.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

甲斐 哲雄



5W

9750

電話番号 03-3581-1101 内線 3575